PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2003-017578

(43)Date of publication of application: 17.01.2003

(51)Int.CI

H01L 21/8234 H01L 21/265 H01L 27/088

(21)Application number: 2001-198594

H01L 27/088 H01L 29/78

(71)Applicant : FUJITSU LTD

FUJITSU VLSI LTD

(22)Date of filing:

29.06.2001 (72)

(72)Inventor: WADA HAJIME

OKABE KENICHI WATANABE KO

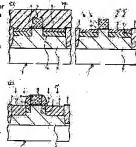
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion

injection of indium.

SOLUTION: The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ion-injected in the second pocket area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rej ction] [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(P2003-17578A) **専開2003-17578**

10年新田田公司の中

(43)公開日 平成15年1月17日(2008.1.17)

(404) 1-12-1 5F048 102B 5F140 8 0 4 V 3018 H01L 21/265

27/08 82/33

BERT S 804

> H01L 21/8234 21/265 880/12 82/83

(51) ht.C.

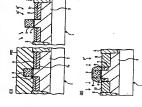
審査請求 未請求 請求項の数10 OL (全12 頁)

(21)出版等与	(\$5001-198594(P2001-198594)	(71)出版人 03006223	030005223
			富士國権式会社
(22) (村曜日	早成13年6月28日(2001.6.28)		神会川県川崎市中原区上小田中4丁目18
			14
		(71) HINA 000237817	000227817
			富士過ヴィエルエスアイ株式会社
			爱如森春日并拉英森奇斯 2 丁目1844 參 2
		(72)発明者 和田 -	1 田昇
			神袋川県川崎市中原区上小田中4丁目1番
			14 精士國株式会社店
		(74) (5E) 100091340	100091340
			外型士 路道 会 国政
			ンはいは食物

(54) [発明の名称] 半等体拡張とその製造方性

「解決手段」 半導体装置は、シリコン基数の主装画に 「原因」 インジウムを用いてボケット領域を形成し、 やしインジケオのイギン科人によるリーク配派の部間を 気域することのできる半導体装置を投稿する。

瓦定された第1、第2括性制域と、第1の括性関域上に 形成され、第1のエクステンション製造と、第1のエク **ストンション狂済さり終り行政が犯しの権利のインシシ** 4を路加した第1のポケット倒装とを右する第1のnチ r ネルMOSトランジスタと、第2の活性関域に形成さ b. 類2のエクステンション超域と、第2のエクステン の機関のインジシスを指加した。第2のボケット暗聴とを 5. さらに、類2のポケット部域にポロンをイオン往入 ション原域より深い位置で第1の徴度より結構度の第2 育する第2のnチャネルMOSトランジスタとを有す 14921



特許請求の範囲

f記シリコン基板の主表面に形成された業子分離製装に 的記算1の活性策略上に形成され、ゲート絶縁的を備え 請求項1] 主表面を有するシリコン基板と、 よって固定された第1、第2話性前域と た第1の粒線ゲートと、 のnチャネルMOSトランジスタと、全石する李導体装 (a) 主装面を右するシリコン基板に幕 子分離部域を形成し、第1、第2の活性関域を固定する (b) 第1、第2の指性関権上にゲート配辞職を形成す 請款4661 TES. 前記第2の括性関係上に形成され、ゲート総縁膜を備え 10nチャネルMOSトランジスタと、

(c) 創記ゲート記録器上に導動性ゲート監接組を形成 して第1の活性領域上に第1の絶縁ゲート、第2の活性 (A) 動記ゲート信権圏、ゲート設設信をスターボング

(e) 煎起第1、第2の指性類域にn型不凝物を奪1の 保さたイオン領入し、終1、終2の結論ゲート双震に禁 (!) 前記第2の指性顕成をマスクして、前配第1の格 **有限後にインジケムを伴しのドース費を終しの終さまり** 1、第2のエクスデンション領域を形成する工程と、 領域上に第2の絶縁ゲートを形成する工程と、 際い数2の数さでイオン住入する工程と、 (8) 前記第1の居性頚域をマスクして、前記第2の括 性類域にインジウムを割1のドース畳より掘い第2のド - トル戦か匹的第二の数ホポッ酸・数3の数ポかイギン特 入する工程とを含む半導体装置の製造方法。 [請求項7] さらに、

(h) 前記第1の話性前域をマスクして、前記第2の語 **有層機にボロンを擦しの除されり擦い筋もの欲さむイオ** ン庄人する工程、を含む請求項8記録の半導体装置の製

(i) 前起第1、第2の絶縁ゲート開発上に関係スペー [請求領8] きらに、

(1) 御記回提スペーサ外留で創記第1、第2の指性質 (k) 控制第1、第2の指性関係に光を開始し、不能物 を活性化する工程と、を含む精米項をまたは7配載の半 被への型不能物をイオン在人する工程と、 青体装置の製造方法。

[精米項9] 前記工程(a)が、さらに第3の括性質

3

ゲート両側で第2の活性関級に形成された第2のエクス アンション類隔と、位配第2の結構ゲードに繋列した値 兄弟2のエクステンション関係より使い位置で創配第2 の居性領域内に形成され、前配路1の遺成より低濃度の 答2の徴度のインジウムを添加した数2のボケット部域

上に形成された第2の閲覧スペーサと、信配第2の絶録

特限平15-017578

新記第1の絶縁ゲート両側の第1の括性関域に形成され トに敷残して倒配第1のエクステンション酸核より深い **位置で前記第1の話性類域内に形成され、第1の濃度の** インジウムを路加した第1のポケット製板とを有する第 た第1のエクスデンション国域と、側記第1の絶縁ゲー

とを有し、前記第2の閲覧スペーサ下力は前記第1の側 張スペーサド方よりアモルファス相の間域が少ない。 低2

> トに整列して解記第2のエクステンション領域より深い 指配第2の絶縁ゲート南側で第2の指性関域に形成され **た祭2のエクステンション施装と、街配第2の結縁ゲー** 位置で創記第2の括性創場がに形成され、創記第1の議 度より仮数度の第2の数度のインジウムを添加した第2 た第2の絶縁ゲートと、

のポケット領域とを有する第2のnチャネルMOSトラ 【請求項2】 創虹第2のポケット顕城がさらにポロン 【請求儀3】 前記第2のnチャネルMOSトランジス ケドープされている諸次項1位数の半導体装配 ソジスタとを有する年間体技匠。

タは、前記第1のnチャネルMOSトランジスタよりも 東いゲート幅を有する請求項1または2記載の半導体装

【雄米頃4】 さらに、修配業子分離知境によって固定 された第3の話性類域と、前記第3の話性質域上に形成 され、前配第1および第2の絶縁ゲートのゲート絶後数 れ、ポケット部域を伴わない第3のエクステンション版 よりも厚いゲート絶縁機を有する第3の総録ゲートと、 育配第3の絶縁ゲート両値で第3の結性強減に形成さ

サを形成する工程と、 育記シリコン基板の主安酒に形成された素子分離類域に 前記第1の括性領域上に形成され、ゲート絶縁順を備え た第1の絶録ゲートと、 施配第1の絶録ゲートの消回型 上に形成された第1の蝴蝶スペーサと、前記第1の絶縁 ゲート両側の第1の活性関係に形成された第1のエクス ドンツョン超級と、控制数1の高級ケートに数型した色 **記第1のエクスアンション国権より様い位置で有犯禁**1 の活性関係内に形成され、第1の農度のインジウムを終 加した第1のポケット領域とを有し、桁配第1の側壁ス ペーサ下方にアモルファス指の関係を含む第1のnチャ 板とを有する第3のnチャネルMOSトランジスタと、 【請求項5】 主表面を有するシリコン基板と、 よって順定された第1、第2倍性関係と、 RAMOS PTYYZYE. を有する半導体装置。

(1) 前配第3の活性御牧上に前配ゲート絶縁限より厚 (c) (d)が前配第3の指性関域上に第3の絶録が 一トも形成し、前記工程(f)、(g)が前記第3の店 生倒域をマスクして行われる情楽項6~8のいずれか! い単膜ゲート絶縁膜を形成する工程を含み、前配工程 域を履ぶし、さらに、

・第2の程録ゲートと、前記第2の絶録ゲートの両別號

前記第2の活性関核上に形成され、ゲート絶縁順を加え

時間平15-017578

【数水項10】 向配工程(a)が、さらに第4の活性 5記載の半導体装置の製造方法。

(m) 信配第4の指性関党上に第4の総译ゲートを形成 (n) 値配筋4の活性関域にp型不能物を筋5の除さで **引被を固定し、さらに** する工程と、

イオン住入し、前配第4の総録ゲート両国に第4のエク (の) 的配数4の招性関係に砒素を第5の混さより深い 36の課をでイオン住入する工程と、を含む情求項6~ ステンション関域を形成する工程と、

9のいずれか1項配信の半導体装成の製造方法。 発用の詳細な位用 (発明の属する技術分野) 本発明は、半導体製団及びそ

の製造方法に関し、特にショートチャネル効果を抑制す 5ポケット開始を有する半導体装置およびその製造方法 【従来の技術】半導体装置の微細化に伴い、トランジス その対策として、ボケット構造が投索されている。nチ ヤネルMOSトランジスタにおいては、ゲート西路のド ff、p型ボケット類域を形成する不純物としてインジウ おにp型のボケット国域を設ける。ボケット国域形成の 9の国位に対するショートチャネル効果が問題となる。 いるの不然他としたがロンが行く用いられたころ。最

【0003】 ポケット西路形成用不其他として、インジ ウムを用いたnチャネルMOSトランジスタは、以下に なげるような利点を有する。 ムも用いられてきている。

【0004】ショートティネル効果の約別能力が大き

【0005】トランジスタ駆動能力を向上することがで

[0006] これらの利点は、インジウムの原子県(1 15) がポロンの原子隆(11) より大きく、注入位置 いらの国際、抗数を生じ聞いことによりもたらされるも のと考えられる.

【0007】図5 (A) ~ (D) を存態して、従来技術 こよるポケット加域を有する半導体装置の製造力法を設 【0008】図5 (A) に示すように、シリコン搭板1 の主政団に撃子分離草城2を形成する。因の構成におい ては、シリコン基板1表面に選子分離用漢を形成し、聲 子の韓用様を優化シリコンなどの総役物が望め込み、表

国上に特徴した会分の総理物を化学機械研修 (CMP)

(LOCOS)による様子分離超級を形成してもよい。 幕子分離関核2により、多数の活性関係が固定される。 砂にすむ 禁むつ トツキロー ヤフンチレインフーツョン [0009] なお、STIに代え、シリコン局所配化 (STI)を形成している。

0インジウムを用いたことによるリーク製造の増加を成

娘することのできる半導体装配を機供することである。

以下、nチャネルMOSトランジスタを形成する話性鎖

013cm-8程度で注入し、p型ウェル3を形成する。次 0×1012cm⁻²程度で往入し、関係を調修した子 [0010] 桁和器器のツリコン階級状態に、ボロンム fンを哲涵エネルギ300keV、ドース撮3、0×1 に、ボロンイギンを加速エネルギ30keV、ドース量 減を倒にとって限明する。

[0012] 図5 (B) に示すように、絶縁ゲート報極 し、その上に多枯燥シリコン、ポリサイド等のゲート館 **毛粉を形成する。ゲート低極弱、ゲート絶縁調をレジス** トマスクを用いてパケーニングし、ゲート絶縁数4を確 [0011] 括性領域表面上にゲート絶縁数4を形成 えた絶縁ゲート昭植らを形成する。 ヤネル関係を形成する。

ドマスクとし、鉛膏イオンを加速エネルギ5keV、ド -ス量3. 0×1015cm-程度で住入し、後いエクス **会**6. 3×10¹³c m−²程度で基板法額から30度チル [0013] 図5 (C) に示すように、エクステンショ アンジウィイドンや配摘エネルが100keV、ドース ン原味6の下部にポケット開始7を形成する。例えば、 アンション領域6を形成する。

生エッチングを行なうことによって絶縁ゲート裁権5の トさせた4方向から注人し、インジウム浴加酸域を形成 [0014] 図5 (D) に示すように、紀律ゲート電極 5 を扱うように敷化シリコン等の絶縁超を権債し、異方

[0015] 絶縁ゲート配摘と側壁スペーサをマスクと ロ型不能物をイオン在入して扱いソース/ドレイン **引城9を形成する。例えば、韓イオンを加速エネルギ1** 5 k e V、ドース低5、0×1015 c m-2程度で注入す る。深いソース/ドレイン前後9は、金属処権とのコン タクト形成のために利用される。また、ソース/ドレイ ンの抵抗を抵棄するためにシリサイドを形成する場合に は、金属とシリコンの化合物を形成する製造として利用 国場上にのみ個型スペーサ8を授す。

[0016] イオン注入を株えた半導体基板に対し、ラ ノブ加熱を行ない、不純物を活性化する。例えば、10 25℃、約3秒の熱処理をランプ加熱により行う。

スタは、ショートチャネル効果を抑制し、駆動能力を向 上する等の利点を有するが、接合リーク電流が増大して ソスクのボケット国域をインジウムを用いて形成し、か 是明が解決しようとする課題】ポケット顕城を形成す らためにインジウムを用いたロチャネルMOSトランジ まう。また、逆換チャネル効果により挟チャネルトラ [0018] 本発明の目的は、nチャネルMOSトラン ノジスタのリーク環境も増大する。

|0019||本発明の他の目的は、ポケット開始形成の ため、インジウムのイオン往入を採用し、からインジウ ムを用いることによるリーク虹流の増加を低減すること のできる半導体製型の製造方法を提供することである。

ば、主要面を有するシリコン基板と、伯配シリコン基板 の主要面に形成された素子分離類域によって測定された のエクステンション酢域と、前贮第1の絶縁ゲートに骸 **列して信託第1のエクステンション施装より扱い位置で** 在記録1の指在登場と1形成され、第1の機能のインジ ウムを指加した第1のポケット領域とを有する第1のn と、病配類2の絶縁ゲート両側で類2の指性菌域に形成 された第2のエクステンション国域と、前配第2の絶縁 ゲートに他列して信記第2のエクステンション国域より の徴度より低機度の第2の機度のインジウムを指加した 第2のポケット領域とを有する第2のnチャネルMOS 第1、第2括性質域と、向配類1の活性質域上に形成さ れ、ゲート絶縁膜を悩えた第1の絶縁ゲートと、前配第 1の破砕ゲート戦争の第1の結構整体に形成された終1 チャネルMOSトランジスタと、血配類2の括れ間域上 後、治臓が極熱を2の結れ四階を11形式がれ、色質を1 【課題を解決するための手段】本発明の1提信によれ に形成され、ゲート絶縁数を指えた第2の絶縁ゲート

形成を助設することになる。 エクステンション関係と、前記第1の危険ゲートに整列 れた歴子分類遊泳によった選択された祭1、第2部代理 まと、前記第1の活性類は上に形成され、ゲート絶縁膜 を備えた第1の絶縁ゲートと、前記第1の絶縁ゲートの 可重領上に形成された第1の意唱スペーサと、自転算1 の絶録ゲート両側の第1の活性関係に形成された第1の した意覧施1のエクステンション登場より探り位配で創 記第1の搭性製破内に形成され、第1の機械のインジウ ムを路加した第1のポケット領域とを有し、前配第1の **開盟スペーサ下方にアモルファス相の順域を含む祭1の** nチャネルMOSトランジスタと、恒配数2の店柱間後 と、前配第2の絶縁ゲートの両側壁上に形成された第2 の閲覧スペーサと、信配第2の結構ゲート可能で終2の され、植配籍1の機能より供養所の第2の姿態のインジ **ウムを路加した第2のポケット関域とを有し、削配路2** の意味スペーサ下方は自然第1の意味スペーナドカより アモルファス相の関係が少ない第2のnチャネルMOS 【0021】本発明の他の観点によれば、主装面を有す るシリコン基後と、側配シリコン基限の主収部に形成さ Lに形成され、ゲート絶縁膜を備えた第2の絶録ゲート 雑記等2の絶縁ゲートに敷列して信記第2のエクステン ション協議より破り合取で信託報2の指数超域内に形成 括性関域に形成された第2のエクステンション関係と、 **【0022】 本差明のさらに他の投点によれば、(a)** トランジスタと、を有する半導体装置が提供される。 トランジスタとを有する半導体装置が提供される。

新1、第2の搭性類域を面定する工程と、(b) 第1、 第2の活性関係上にゲート絶縁数を形成する工程と、

インジウムを独しのドース最より別い 第2のドース保む (c) 疫的ゲート部保険上に発動和ゲート的造的を形成 する工程と、(A)前起ゲート電補間、ゲート絶ほ順を ト、第2の活性和域上に第2の絶録ゲートを形成する工 阻と、(e) 偵記第1、第2の括性関域にn型不純物を 第1の数さでイオン注入し、第1、第2の掲録ゲート両 **別に第1、第2のエクステンション領域を形成する工程** (1) 値配数2の活性関係をマスクして、値配数1 の信性類域にインジウムを終しのドース品で第1の混合 よりない第2の探さでイオン住人する工程と、(g)前 尼第1の居性製造をマスクして、前記第2の居性制候に **前配割1の漢さより深い振3の薬さでイオン性入する正** 【0023】 ポケット国域形成のたかの (nドープ量を 別限することにより、リーク包従の昭大を抑制すること パターニングして第1の原性関域上に第1の絶縁ゲー 限とを含む半導体装型の製造方法が整供される。

[0024] 25C. B& F-77522CLF, 98 一トチャネル効果抑制の効果が不足する分を補うことが ができる。アモルファス旧発生を抑制することができ

ポケット競技形成のためにインジウムを用いた n チャキ AMOSトサンジスタについて展別する。 インジウムを 用いてポケット解核を形成したnチャネルMOSトラン ジスタの協合リーク包護が増大することは、アモルファ [発明の表題の影像] 本発明の実施側の説明に先立ち、 【0026】イオン注入時に発生するアモルファス相 ス相の境団との関連が示唆されている。 [0025]

は、イオン往入後の居住化熱処理において回復されてい 【0027】 インジシムの指数代謝はボロンにおくた何 い。 トランジスタ国信国権に用いられるインジウムのド - ス国当りの影響は、ポロンに比べて小さくなる傾向が ある。同一のトランジスタ間直を得るためには、ポロン よりもドーズ母を描やしたインジウムをドープする必要 がある。ドーズ量を増大することは、アモルファス相の 「近年、トランジスクの復雄化に伴い、括性化数処理 のサーマルバジェットが低下している。このため、十分 なアモルファス格の回復が出来なくなって来ている。イ ンジウムを注入し接合リーク配遣が増大したトランジス **タにおいては、倒覚スペーサ下部にアモルファス相が映 習していることが暗音されている。**

【0029】シャロートフンチアインフーション発用で [0028] x9ディックランダムアクセスメモリ (S RAM) 等のメモリセルは、集積度向上のためロジック 回路のトランジスクなどと較く、狭いゲート部のトラン ジスタを用いて形成される。

主表面を有するシリコン基板に案子分離解核を形成し、

特国平15-017578

[0030] 図6は、水発明者等が行なったサーマルウ 4、個々のドース量のインジウムイオン注入により形成 ェーブの実験結果を示す。図5 (D) に示すようなロチ した。また、イオン注入後行なう路性化熱処理の条件を トネルMOSトランジスタにおいて、ポケット部域で 気化させた。

【0031】これののサンアルに対し、ある政治数の起 内にアモルファス釘塔があると、このアモルファス部塊 していることを示唆する。 サーマルウェーブユニットの 安全与え、反射した熱敵を測定することにより反射単を 国定し、サーマルウェーブコニットを得る。半導体品級 1熱波の反射を増大させる機能を有する。 従って、 熱欲 の反射率が高いことは、基仮中にアモルファス相が発生 者大は、アキルファス相の類域の増大を示唆する。

13cm-2を暮えるインジウムドース畳では、低ドープ節 [0032] 図6において、破価はインジウムのドース を示す。インジウムのドース量は、1、5×10¹³cm 3. 0×10¹³cm⁻², 4. 0×10¹³cm⁻²に数化さ [0033] 1025℃、3秒間の熱処理を行ったサン C. 20的回の熟処理を行ったサンブルの測定結果は曲 型c 2 で示されている。 植物c 1においては、インジウ ムドース Gd/2、5×10¹³cm⁻²を超えると、サーマ **ゕウェーブユニットは徐々に増大する。約3、5×10 約2.0%以上のサーマルウェーブュニットの増大が認め なであり、鉄粒はサーマルウェーブユニット(反射年)** t. 熱処理条件は1025℃3秒、1025℃20秒、 食での変化のないサーマルウェーブコニットと比較し、 プルの閲定結果は自録。1で示されている。1025 2, 2. 0×1013cm-2, 2, 5×1013cm-2, 1100℃3秒、900℃20秒の4条件で行った。

[0034] 1025℃での熟処理時間を3秒から20 砂に増加させると、由級c2に示すように、サーマルウ ェーブユニットは1nドーブ量に約わらず、ほぼ平坦な

首を示す。しゅのイオン住人により発生したアモルファ 5. しかしながら、この乾燥弱条件は微揚デバイスに対 |0035|| 熱処理温度を低減した900℃、20秒間 1. 歯数41においては、インジウムドース量が2. 0 の熱処理に対しては、曲線41で示される特性が得られ ス相は、ほぼ完全に結晶相に回復していると考えられ し協合形状等他の点で与える影響が大きくなる。

は明瞭な増大を示している。 低ドース領域でほぼ平坦な サートルウェーブコニットを指揮として、インジウムド ×10¹³cm⁻²を超えると、サーマルウェーブユニット -- A最2. 5×1013cm-2において、約30%のサー マルウェーブユニットの指大が認められる。

[0036] 熱処理程度を高くした1100℃、3秒間 の敷処理に対しては、自殺d2で示される物性が得られ た。自移42においては、インジウムドース量を増大し てもサーマルウェーブユニットの相大は認められず、ほ ゴ平坦な物性が得られている。しかしながら、1100 C、3秒間の熱処理は、微器デバイスに対し、接合形状

[0037] 図6に示す測定指集からは、敷処理を10 25℃、3秒間で行なう場合、インジウムのドース量は 約3. 5×10¹³cm-2以下とすることがアモルファス 用抑制の点から好ましいと判る。900℃、20秒間の 熟処理を行なう場合は、インジウムドース酸はさらに低 n でポケット関域を形成し、リーク軌道の増加を許容す **気味した低リークトランジスタとを製造する方法の主要** く約2. 5×10¹³cm-2以下にすることが設ましい。 [0038]以下、本発売の実施側について説明する。 図1 (A) ~図2 (E) は、単一の半美体チップ上に1 る間暗トランジスタと、Inを用いるが、リーク環境を 等他の点で与える影響が大きい。

[0039] 図1 (A) に示すように、シリコン装板1 の主設語に、ST1により案子分離領域2を形成する。 第子分離領域2は、シリコン芸板1主安団に多数の活性 工程を示す半導体チップの推出図である。

【0040】 ロチャネル鼠域をレジスト等のマスクで覆 イオンを加速エネルギ30keV、ドース最5、0×1 012cm-2でイオン往入し、関値を調整したチャネルを い、nチャネル領域にB*イオンを加速エネルギ300 L、p型ウェル3を形成する。さらに、装道線分にB⁺ keV、F-ス盤3. 0×10¹³cm⁻²でイオン往入 製版ARを順定する。

資をレジスト等のマスクで優い、別国のイオン注入を行 【0041】 ロチャネル個域に対しては、ロチャネル類

[0042] 活性領域上に薄いゲート絶縁闘4、例えば 単さ約5~10mmの報化シリコン数を影響化なども形 食し、その表面上に多結晶シリコン、ポリサイド等の導 **収性ゲート取権器を形成する。ゲート取権圏上にレジス** トマスクPRを形成し、パターニングすることにより、 色はゲート虹響5、ゲート絶縁数4を形成する。その 後、レジストマスクPRは除去する。

3. 0×1015cm-2程度でイオン注入し、扱いソース 【0043】図1(B)に示すように、乾燥ゲート結構 5、STI類域2をマスクとし、nゲャネル鋼帳の括性 類製にAstイオンを加速エネルギ5keV、ドース量 /ドレインエクステンション領域6を形成する。

3. 0×10¹³cm-2程度でイオン注入し、n型ウェル [0054] 居性飢焼上に酸化シリコン等のゲート絶縁 数4名形成した後、多括曲シリコン、シリキイド等のゲ ト絶縁闘々を備えた絶縁ゲート動揺しちを形成する。な お、ゲート航後15に含まれる多結品シリコン回は、p の主技画に創造の工程によりSTIの菓子分離模械2巻 13を形成する。さらに、P*イオンを加迫エネルギ8 OkeV、ドース県2. 0×1012cm-2四度でイポン **−ト気隆因を形成し、パターニングすることによりゲー** 形成する。ロチャネル佰性関域に対し、n型不純物例え [0055] 図3 (B) に示すように、ゲート収施! ばP+イギンを加張エキクギ600keV、ドース日 生入し、関数関数を行なったチャネルを形成する。 型にドープされる。 責はレジストャスクで限って扱く。ロチャネル鉛板に対 【0047】 イオン往人の方向は、居後法盤から約30 しては、ロチャネル価値をレジスト等のマスクで限っ 【0045】なお、以上の工程は、標準トランジスタ、 て、別館のイオン往入を行なう。

-2程度イオン注入する。このイオン注入も、基板位線か [0048] 図2 (D) に示すように、標準トランジス タ類域をレジストマスクPR2で軽い、ロチャネル低り **一クトランジスタの話性類域に対し、ポケット領域形成** 避エネルギ100keV、トータルドース量3、4×1 加強エネルギ10keV、ドース仮2、0×10l3cm のためのイオン注入を行なう。先ず、1n+イオンを加 013cm-2程度イオン注入する。さらに、B+イオンを ら30度チルトした4方向から行う。

【0049】このように、低リークnチャネルMOSト ランジスタのポケット倒壊に対しては、1nのイオン注

V. ドース最5. 0×10¹⁵cm⁻²程度でイオン柱人 し、彼いソース/ドレイン解除19を形成する。

> 人品を前限し、アモルファス相の発生を抑制する。ショ **ートチャネル効果抑制の効果が不足する分はBをイオン** 在人才ることによって揃う。その後レジストマスクPR り、ロチャネルMOSトランジスタに対しては、別脳の

2は除去する。なお、図1 (C)、図2 (D) の工程 は、nチャネルMOSトランジスクに対するものであ

形成するポケット製味のように、リーク観消発生等の間 題が生じない、このため、概律トランジスケと成リーク [0060] 因4 (A) ~ (C) は、入出力回路等に形 成される活動圧トランジスタの製造工程を示す。 トランジスタを作り分ける必要はない。

[0061] 図4 (A) に示すように、 相違の淡塩製両 nチャネルMOSトランジスタを製造する場合を例にと 様の江程により、素子分離領域2が形成される。以下、

ネルギ30k o V、ドース量7、0×1012 c m-2程度 F-ス量3. 0×10¹³cm-2程度でイオン注人し、p 型ウェル23を形成する。さらに、B*イオンを加油エ 0062】B*イオンを加油エネルギ300k e V、 でイオン注入し、チャネル領域を形成する。 って配明する。

|0063|| 括性関域上に厚いゲート絶縁数14を形成 し、その上にゲート電極局を形成する。以いゲート総録 **男えば、括性関域装置の酸化工物を2段制に分け、その** 膜は、所聞の耐圧を得るようにその厚さが制御される。

[0053] 関3 (A) に示すように、シリコン搭板1

5日本15-017578

٠. .

|0044||なお、このイオン注入の際、ロチャネル節

3×10¹³cm-2程度イオン注入し、残いエクステンシ ョン御城の下にポケット関城7を形成する。その後レジ 低リークトランジスタの活性関係をレジストセスクPR 1 で置い、n チャネル価等トランジスタの活性関域に1 【0046】図1 (C) は、左側に関係トランジスタ、 右側に低リークトランジスクを示す。間に示すように、 n+イオンを加速エネルギ100keV、ドース性6. 低リークトランジスタに共通である。 ストマスクPR1は除去する。 加速エネルギ1keV, ドース購3、0×1014cm⁻² 程度でイオン注入し、我、シース/ドレインコクステン ション国域16を形成する。 整様ゲート協部下方に入り込んだp型ポケット関域を作

3、オ子分類四次2をマスクとし、例えばB*イオンを

俊チルトした4方向から行なう。チルトさせる事により

加速エネルギ80keV、ドース配3、0×10¹³cm -2程度セイオン狂人し、ソース/ドワインコクステンツ ヨン国域の下部にn型ボケット国域17を形成する。な お、ポケット貿易形成のためのイオン往入は、基板抽換 [0056] 図3 (C) に示すように、As+イオンを

[0057] 図3 (D) に示すように、前途のに隠によ に対し30度チルトした4方向から行う。

) 絶縁ゲート価値15回線上に回路スペーサ8を形成す

[0058] 七の後、B*ノゼンを加強コポケボ5ke

|0059| Asで形成するポケット破壊には、Inで

【0050】 図2 (E) に示すように、絶縁ゲート収極

イオン注入を行なう。

[0051] 絶録ゲート記[45、側壁スペーサ8をマス ン在入し、際いソース/ドレイン解析9を作成する。後 **いソース/ドフイン超換9は、仮覧スペーサの外位に形**

異方性エッチングを行なうことによって絶縁ゲート結構 15keV、ドース最5.0×10¹⁵cm⁻²程度でイオ 成されるため、倒型スペーサの下方には、エクステンツ 【0052】図3 (A) ~ (C) は、pチャネル領域に BITるpチャネAMOSトランジスタの製造工程を示す

の閲覧上にのみ倒壁スペーサ8を挟す。

5を雇うように、酸化シリコン類等の絶縁斑を堆積し、 クとし、n型不純物、例えばP*イオンを周縮エネルギ

ョン解集6、ポケット関係7が扱る。

特額平16-017578

3

は頃と得いゲートを発見を形成する。

【0064】ゲート信制的、ゲート部は終かレジストゥ スクを用いてパターニングすることにより、ゲート単権 [0065] 図4 (B) に示すように、As*イオンを 25、ゲート絶縁数14を形成する。

副祖エネルギ10keV、ドース配3、0×1014cm

2程度でイオン住人し、ソース/ドレインエクステンシ [0068] 図4 (C) に示すように、前途の実施倒消 装の工程により、ゲート信託25億限上に管理スペーサ 3 全形成した後、倒えばア*ノギンを加油エネルギー5 keV、ドース量5×10^{15cm-2}程度でイオン柱入 . 「微いソース/ドレイン阻板29を形成する。 いた政治が形成する。

[0067] 高耐圧トランジスタは、さほど微糊化され [0068] 図4 (D) は、上途のような工程により形 **成される半導体チップの平面構成を開始的に示す。半導** 1、ポケット国味も数けられない。

体チップ30は、入出力回路31、メモリ回路32、ロ こぶすような仏皇圧トランジスクを含む。メモリ旗域3 2は、例えばスタチックランダムアクセスメモリ(SR 4M)で形成され、低リークロチャネルトランジスタを む、て形成される。ロジック回路33は、CMOS回線 で情報され、メモリセルの低リークトランジスタよりゲ ト値の広いnチャネル位着トランジスタと、ボケット ジック回路33を含む。入出力回路31は、図4 (C)

0イオン往人で形成した低リークトランジスクの特性で bる。曲級sは、ポケット関級を6. 28×10¹³cm 【0069】殴りは、上途の収穫的に従った形成した膝 **きトランジスクと低リークトランジスタのリーク特性を テす。図中版物は、リーク位流を単位Aで示し、縦動は** は協議者を示す。由様にがポケット関権を3、4×10 3cm-20//20422. 0×1013cm-20#117 2のインジウムのイオン在入で作成した関係トランジス **気味を備えたロチャネルトランジスタで形成される。** 7の特性である。

[0070] 悩から用らかなように、リーク信流は1桁 こことにより、リーク処理が大幅に減少していることが 以上の大きな遊を示している。しゅのドーブ程を開握し **引らかである。1 nのドープ音を低級すると、アモルフ** アス化される最が減少し、熱処理により間足できる程度 まで結晶相に回復するものと考えられる。 1 nのドーブ **14を一定値以上に増加させると、回復できないアモルフ** アス間域が増加し、リーク配流を増大させるものと考え [0071] 図8 (A) ~ (C) は、関値包圧のゲート 【0072】図8 (A) に示すように、括性領域AR上 こゲート配種Gが形成されている場合、ゲート配権の幅 実及びゲート個依存性を示す。

質準トラジスタと、ポケット関係を1nとBとの2種類 れている。これら2種類のトラジスタの関係は、ほぼ同 (低流力向の長さ) をゲート長しとし、それと直交方向 【0073】図8 (B) は、トテンジスタの開催机圧の ゲート長佐存性を示すグラフである。図中鉄橋はゲート そしを単位μmで示し、統権はトランジスタの関値V t a を単位Vで示す。ポケット密域をInのみで形成した **の不能物で形成した低リークトランジスタの特性が示さ** 答であり、低リークトランジスクが標準トランジスクと ほぼ同様のショートティネル効果を抑制した特性を維持 O活性領域の個をゲート幅Wとする。

ゲート幅Wの減少(袋チャネル化)に対しても、有限の 首を維持している。このように、低リークトランジスタ 【0074】図8 (C) は、配摘のゲート幅改作性を示 f. 図中級軸はゲート軸Wを単位μmで示し、縦軸は脳 値Vihを単位Vで示す。標準トランジスタの関値Vs は、ゲート幅Wの減少と共に減少を続け、ほぼりまで適 している。これに対し、ポケット顕版を1nとBとの徴 ☆により形成した低リークトランジスタVyの関値は、 していることを示している。

低リークトランジスタで形成される。ロジック回路はゲ こより逆後チャネル効果の影響を抵抗したトランジスタ 【0075】SRAM邻のメモリ国際は、独協保険上の こめ訳・ゲート幅の、例えばの、05~0、5µmの、 −ト値がより広い、例えば1~10μmの、原準トラン ジスタを用いて形成される。 が得られる。

化合物を用いてもよい。 倫理回路を標準トランジスタで Eリークトランジスタとの組み合わせ、または、低リー 【0078】なお、p型不純効としてBを用いる場合、 イオン幅としたボロンの他BFV、デカボラン等ボラン する場合を従用したが、韓母回路を提集トランジスクと クトランジスタのみで作ることもできる。 ゲートとして 【0077】以上に実施例に沿って本発明を説明した ノッチゲートを用いてもよい。

量々の変更、改良、和み合わせが可能な事は当業者に自 5、本発明はこれらに別限されるものではない。例えば 【発明の効果】以上設明したように、本発明によれば、 引であろう。 [0078]

装持したまま、インジウムを用いることによって生じ得 [図1] 本発明の実施例によるnチャネルMOSトラ インジウムを用いてポケット郵帳を形成し、その利点を ソジスクを有する半導体装置の製造工程を示す断重固で 5リーク電道増大を信載することができる。 【図面の簡単な説明】

[図2] 水発明の実施例によるnチャネルMOSトラ ンジスタを有する半導体装置の製造工程を示す断面固む

称こシード/ドフイン西海 **数3.ソース/ドフェン超換** ウェル/チャネル領域 イクステンション国境 エクステンション観視 ポケット解験 ポケット顕微 ゲート絶縁院 を示える。 デート政権 ゲート配権 e G 高間圧トランジスクの製造工程を示す傾面器 【図8】 ポケット類域をインジウムで形成した場合の と、インジウムとボロンを指令して形成した場合のリー 【図3】 ロチャネルMOSトランジスクの製造工程を 【図5】 従来の技術による半導体製収の製造工程を示 【個7】 ポケット領域をインジウムで形成した場合 サーマルウェーブの製定結果を示すグラフである。 及び半導体チップの平面図である。 ナキ単体チップの新田国である。 示す断面図である。 84

[図8] 標準トランジスタと低リークトランジスタの 国話のゲート個及びゲート長依存性を示すグラフであ 7 教流特性を示すグラフである。

ウェルノチャネル製造 シリコン脱板 素子分類領域 「符号の設明」

旅でンード/ドライン経済

年番件チップ

人出力回路 福田にせて

ウェルノチャネル製造

23 5 2 5 9 30

ゲートの権

[2]

ロジック回



[88]

[87]

特額平15-017578

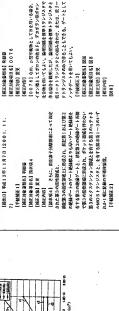
特陽平15-017578

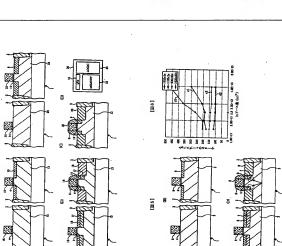
[84]

[図3]









[牛炭粉正虫]

Ξ

3





フロントページの概念 (72) 発明者

爱知県泰日井市高橋寺町二丁目1844番2号 富士通ヴィエルエスアイ株式会社内 (72)発明者

许奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内

ドターム(数考) 5F04B AA07 AA08 AB03 AC01 BA01 BRC5 BR08 BR16 BR18 BC05 BC06 BD04 BG14 5F140 AA21 AA22 AA24 AB01 AB03 AC32 AC33 BA01 BB15 BC06

8007 BF04 BF11 BF18 BG08 BC12 BC51 BC53 BH14 BH15

BH21 BH36 BH02 BK13 BK14 BK21 BK22 CB04 CB08

[編正対象容類名] 図函 [編正対象項目名] 図8 [年接稿正2]

特累平15-017578

0.25 | 0.634813-82 0215

3 8 5 g ã = 3 8 8 8 8 8 (人) 中人 事種 [年校指正位]

ā

g

[提出日] 平成13年12月19日(2001, 12.

【格正対象存留名】図语 (補正対象項目名) 图4 (補正方达) 変更 [手続相正:]

(MEPS) [2]4